

# MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP11067699

Publication date: 1999-03-09

Inventor: UMEHARA NORIHITO; AMAMI MASAZUMI

Applicant: TEXAS INSTRUMENTS JAPAN

Classification:

- international: H01L21/301; H01L21/68; H01L21/02; H01L21/67;  
(IPC1-7): H01L21/301; H01L21/68

- european:

Application number: JP19970231794 19970813

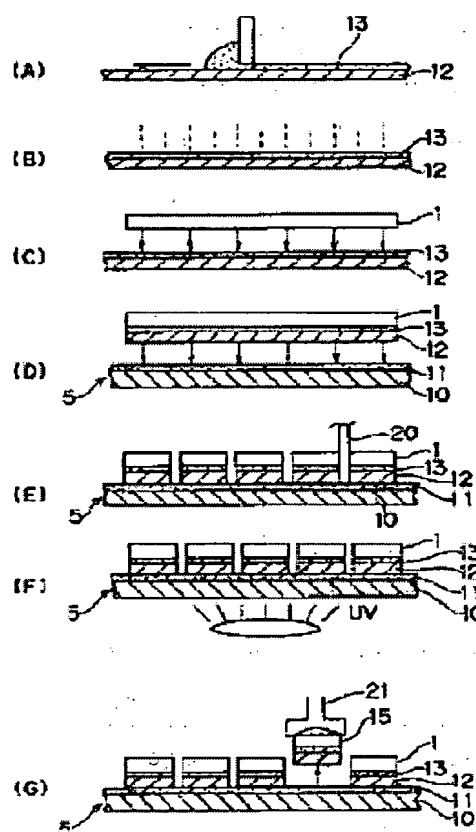
Priority number(s): JP19970231794 19970813

Report a data error here

## Abstract of JP11067699

**PROBLEM TO BE SOLVED:** To manufacture a semiconductor device provided with a stress blocking board under a semiconductor chip for preventing the deterioration of mounting yield, owing to thermal stress with less man-hour.

**SOLUTION:** A suitable method for manufacturing the semiconductor chip provided with the stress blocking board is provided. The method is provided with a process for preparing a dicing tape 5, having the stress blocking board 12 constituted of the material of high elasticity and an adhered face 11, a process for making the semiconductor wafer 1 adhere to the stress blocking board 12 through an adhered layer 13, a process for making the stress blocking board 12 adhere on the adhered face 11 of the dicing tape, a process for cutting the semiconductor wafer 1 with the stress blocking board 12 in the unit of the individual semiconductor chips and a process for peeling off the semiconductor chip 15 and the stress insulating board 12, which are cut, from the dicing tape 5. Since the stress blocking board 12 is cut with the semiconductor wafer 1, it is not necessary to cut and supply the stress blocking boards 12 later by adjusting them to the semiconductor chips of different sizes.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67699

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/301

H 0 1 L 21/78

M

21/68

21/68

N

審査請求 未請求 請求項の数10 F D (全 8 頁)

(21) 出願番号 特願平9-231794

(22) 出願日 平成9年(1997) 8月13日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都港区北青山3丁目6番12号 青山富士ビル

(72) 発明者 梅原 則人

大分県速見郡日出町大字川崎字高尾4260  
日本テキサス・インスツルメンツ株式会社  
内

(72) 発明者 雨海 正純

大分県速見郡日出町大字川崎字高尾4260  
日本テキサス・インスツルメンツ株式会社  
内

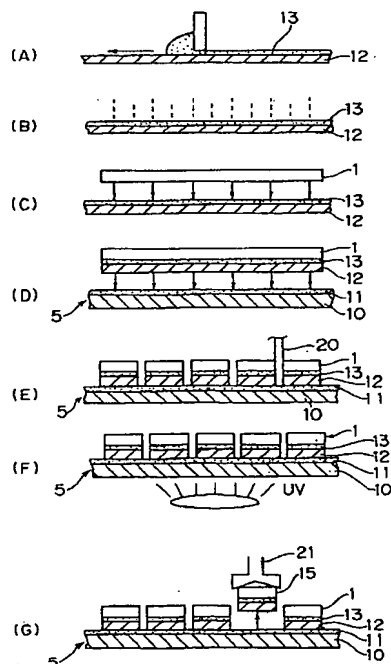
(74) 代理人 弁理士 遠藤 恭

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 熱応力による実装歩留りの低下を防止する目的で半導体チップの下にストレス遮断板を備えた半導体装置を少ない工数で製造する。

【解決手段】 本発明は、ストレス遮断板を備えた半導体チップを製造するための好適な方法を提供する。本発明の製造方法は、高弾性の材料からなるストレス遮断板12及び接着面11を有するダイシングテープ5を用意する工程、半導体ウェハ1とストレス遮断板12とを接着層13を介して接着する工程、ストレス遮断板12をダイシングテープの接着面11上に接着する工程、半導体ウェハ1をストレス遮断板12と共に個々の半導体チップの単位で切断する工程、及び切断された上記半導体チップ15及びストレス遮断板12を上記ダイシングテープから剥離する工程を備えている。ストレス遮断板12は、半導体ウェハと共に切り出されるので、サイズの異なる半導体チップにあわせて後からストレス遮断板を切り出して供給する必要がなくなる。



## 【特許請求の範囲】

【請求項 1】 高弾性の材料からなるストレス遮断板及び接着面を有するダイシングテープを用意する工程と、半導体ウェハと上記ストレス遮断板とを接着層を介して接着する工程と、

上記ストレス遮断板を上記ダイシングテープの接着面上に接着する工程と、

上記半導体ウェハを上記ストレス遮断板と共に個々の半導体チップの単位で切断する工程と、

切断された上記半導体チップ及びストレス遮断板を上記ダイシングテープから剥離する工程と、を備えた半導体装置の製造方法。

【請求項 2】 上記半導体ウェハとストレス遮断板とを接着する工程は、上記ストレス遮断板上に接着層を形成する工程と、該接着層上に上記半導体ウェハを接着する工程を含む請求項 1 記載の半導体装置の製造方法。

【請求項 3】 上記ストレス遮断板が金属板である請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 4】 上記ストレス遮断板が有機材料を主体とする板である請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 5】 上記ダイシングテープの接着面を紫外線硬化性の粘着材とし、上記半導体チップを上記ダイシングテープから剥離する工程の前に、該接着面に対し紫外線を照射する工程を含む請求項 1、2、3 又は 4 記載の半導体装置の製造方法。

【請求項 6】 上記半導体ウェハの接着層が熱可塑性ポリイミド樹脂からなる請求項 1、2、3、4 又は 5 記載の半導体装置の製造方法。

【請求項 7】 上記半導体ウェハの接着層が半反応性のエポキシ系樹脂からなる請求項 1、2、3、4 又は 5 記載の半導体装置の製造方法。

【請求項 8】 上記ダイシングテープの接着面を半反応性のエポキシ系樹脂からなる接着層とし、上記半導体チップと共に上記ダイシングテープから剥離するようにした請求項 1、2、3、4、5、6 又は 7 記載の半導体装置の製造方法。

【請求項 9】 高弾性の材料からなるストレス遮断板、耐熱性キャリアフィルム及び接着面を有するダイシングテープを用意する工程と、

半導体ウェハと上記ストレス遮断板とを第一の接着層を介して接着する工程と、

上記ストレス遮断板とキャリアフィルムとを第二の接着層を介して接着する工程と、

上記耐熱性キャリアフィルムを上記ダイシングテープの接着面上に接着する工程と、

上記半導体ウェハを上記ストレス遮断板と共に、個々の半導体チップの単位で切断する工程と、

上記半導体チップを上記ストレス遮断板に付着した接着層と共に、上記キャリアフィルムから剥離する工程と、

を備えた半導体装置の製造方法。

【請求項 10】 上記キャリアフィルムが耐熱性樹脂からなり、上記第一及び第二の接着層が熱可塑性ポリイミド樹脂からなる請求項 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、BGA タイプの等の半導体装置の製造方法に関し、特に、熱応力による半導体装置への影響を緩和するためにストレス遮断板を備えた半導体チップを供給するための方法に関するものである。

【0002】

【従来の技術】BGA (Ball Grid Array) は、パッケージの一面側に、外部接続端子としての半田バンプと呼ばれる複数の球状の半田を二次元的に配置してなる表面実装型のパッケージ構造を有する半導体装置である。接続端子を二次元的に配置できることから高密度実装に適したパッケージとして知られている。特に、近年注目を浴びている CSP (Chip Size Package)、すなわちパッケージサイズをチップサイズと同等あるいは僅かに大きい程度に高密度化した半導体装置を実現する上で、BGA は極めて重要な位置付けを有している。

【0003】CSP の中には、パッケージの基板としてポリイミド樹脂等からなる可撓性絶縁基板を用い、この一面側に半田バンプを二次元的に配置して BGA を構成するものがある。CSP 型の半導体装置において、半導体チップは、非導電性エポキシ樹脂等のダイアタッチ材と呼ばれる接着層を介して、可撓性絶縁基板上に固定され、必要な配線を施した後に樹脂封止される。このような BGA タイプの半導体装置は、マウントにより外部基板(プリント配線基板)上に搭載後、一括リフローにより半田バンプを溶融して実装される。

【0004】半導体装置の実装においては、実装信頼性を高めることが極めて重要である。特に、BGA パッケージは、従来の QFP (Quad Flat Package) に比べ、一般にその実装信頼性が低いことが指摘されている。上記 CSP 型の半導体装置に対する温度サイクル試験において、外部基板と半田バンプの接合部、特に最外周やチップ周辺部の真下近傍に位置する半田バンプの接合部にクラックが発生し、オープン不良となることがある。主たる原因は、半導体チップの線膨張係数と外部基板のそれとの差からせん断応力が発生し、上記接合部に集中するためである。すなわち、半導体チップと外部基板との間にあるダイアタッチ材及び可撓性絶縁基板の弾性率は、半導体チップと外部基板のそれに比して極めて低く、その結果、上記線膨張係数の差に起因するせん断応力は、半田接合部に集中する。

【0005】

【発明が解決しようとする課題】本出願人は、上記従来の問題点を解決する方法を平成 9 年 6 月 25 日出願の特

許出願(特願平 9-184433号)において示した。この出願の中で、半導体チップと可撓性絶縁基板との間に、半導体装置が実装される外部基板の線膨張係数と略等しい線膨張係数を有する中間部材(本明細書では以下これを、ストレス遮断板という)を配置し、上記半導体チップと外部基板との間の線膨張係数の差に起因する半田接合部のクラックを防止する技術が開示されている。

【0006】しかしながら、上記ストレス遮断板を設けることによって、明らかに半導体装置の製造工程数が増加する。すなわち、次のような工程が必要になる。チップサイズに合わせてストレス遮断板を切り出し、これをダイアタッチ材で可撓性絶縁基板に接着し、キュアを行う。次いで、ストレス遮断板上にダイアタッチ材を供給し半導体チップを実装した後、再度キュアを行う。

【0007】本発明の目的は、上記ストレス遮断板を半導体チップの供給と共に供給し、上記タイプの半導体装置の製造工程をできるだけ少なくすることである。

【0008】本発明の別の目的は、半導体チップの供給の際にダイアタッチ材を共に供給し、半導体装置の製造工程を少なくすることである。

【0009】

【課題を解決するための手段】本発明は、ストレス遮断板を備えた半導体チップを製造するための好適な方法を提供する。本発明の製造方法は、高弾性の材料からなるストレス遮断板及び接着面を有するダイシングテープを用意する工程、半導体ウェハと上記ストレス遮断板とを接着層を介して接着する工程、上記ストレス遮断板を上記ダイシングテープの接着面上に接着する工程、上記半導体ウェハを上記ストレス遮断板と共に個々の半導体チップの単位で切断する工程、及び切断された上記半導体チップ及びストレス遮断板を上記ダイシングテープから剥離する工程を備えている。上記工程を経て製造されたストレス遮断板付きの半導体チップは、半導体装置の組立工程に引き渡され、ダイアタッチ材を介して可撓性絶縁基板上に実装される。

【0010】ストレス遮断板は、半導体ウェハと共に切り出されるので、サイズの異なる半導体チップにあわせて後からストレス遮断板を切り出して供給する必要がなくなる。また、個別に半導体チップとストレス遮断板を接着するという工程も不要となる。

【0011】ここで、上記半導体ウェハとストレス遮断板とを接着する手順として、ストレス遮断板上に接着層を形成し、次いで、該接着層上に上記半導体ウェハを接着する方法を取ることができる。

【0012】また、ダイシングテープからの半導体チップの剥離を容易にするために、上記ダイシングテープの接着面を紫外線硬化性の粘着材とし、上記半導体チップを上記ダイシングテープから剥離する工程の前に、該接着面に対し紫外線を照射する工程を含むことが好ましい。

【0013】また、本発明は、上記半導体チップと共に、ダイアタッチ材としての接着層を共に供給する方法を含んでいる。この方法は、耐熱性キャリアフィルムをストレス遮断板とダイシングテープとの間に介在させることにより実現される。すなわち、高弾性の材料からなるストレス遮断板、耐熱性キャリアフィルム及び接着面を有するダイシングテープを用意する工程、半導体ウェハと上記ストレス遮断板とを第一の接着層を介して接着する工程、上記ストレス遮断板とキャリアフィルムとを第二の接着層を介して接着する工程、上記耐熱性キャリアフィルムを上記ダイシングテープの接着面上に接着する工程、上記半導体ウェハを上記ストレス遮断板と共に、個々の半導体チップの単位で切断する工程、及び上記半導体チップを上記ストレス遮断板に付着した接着層と共に、上記キャリアフィルムから剥離する工程を含んでいる。

【0014】

【発明の実施の形態】以下、本発明の実施形態を図面に沿って説明する。図1はダイシング前の半導体ウェハがダイシングテープ上に置かれている状態を示す断面図である。図において、ダイシングテープ5及びこの上の各層は、実際の寸法比率とは異なっており、これらが誇張して示されていることに留意すべきである。

【0015】ダイシングテープ5は、図1に示されるように、基材フィルム10と紫外線硬化性粘着材11とからなる。基材フィルム10は、膜厚10〜300 $\mu$ m程度の軟質の樹脂フィルムからなり、ポリエチレンフィルム、ポリブチレンテレフタレートフィルム、ポリエチレンナフタレートフィルム、ポリプロピレンフィルム、ポリ塩化ビニルフィルム、ポリブテンフィルム、ポリブタジエンフィルム、ポリウレタンフィルム、ポリメチルペンテンフィルム、エチレン-酢酸ビニル共重合体フィルム、エチレン-(メタ)アクリル酸共重合体フィルム、エチレン-(メタ)アクリル酸エチル共重合体フィルム等及びこれらの積層体が用いられる。

【0016】この基材フィルム10の表面に形成されている紫外線硬化性粘着材11は、所定時間紫外線を照射することにより硬化し、その粘着性を失うものである。具体的には、ポリアクリル酸エステル共重合体とウレタンアクリラートオリゴマー(UV硬化樹脂)の混合体を用いることができる。基材フィルム10上に形成される粘着材11の膜厚は、10〜50 $\mu$ m程度である。

【0017】上記ダイシングテープ5の紫外線硬化性粘着材11上には、ストレス遮断板12が接着される。ストレス遮断板12は、半導体装置が実装される外部基板の線膨張係数と略等しい線膨張係数を有する高弾性の材料からなる。具体的には、金、銅、銀、アルミニウム、ニッケル、鉄等の金属及びそれらの合金やそれらの積層体、あるいはFR-4、FR-5、ポリイミド、ポリスルホン、フェノール、ポリエーテルスルホン、ポリフェ

ニレンスルフィド、ポリエチレンナフタレート等の有機材料及びそれらの積層体を用いる。ストレス遮断板 12 の厚さは、50～100  $\mu\text{m}$  程度である。

【0018】半導体ウェハ 1 は、接着層 13 を介して上記ストレス遮断板 12 に接着される。接着層 13 として、熱可塑性ポリイミド樹脂を用いる。熱可塑性ポリイミド樹脂は、加熱することにより熔融し、接着剤としての効果を発揮するものである。もっとも、図 2 に示すように、熱可塑性ポリイミドに代えて、半硬化物(いわゆる B ステージ)あるいは反応前のエポキシ系接着材 14

を用いることができる。この場合は、半硬化状態で半導体ウェハ 1 を仮接着し、加熱硬化させることによって接着する。

【0019】図 3 に、本発明に係る半導体装置の製造方法、すなわちウェハ状態で供給された半導体装置を個々の半導体チップに切断してピックアップするまでの工程を示す。最初の工程は、ストレス遮断板 12 上に熱可塑性ポリイミドの接着層 13 を形成することである。すなわち、コーター又はスクリーン印刷により熱可塑性ポリイミドワニスを、シート状で供給されたストレス遮断板 12 の表面に塗布する(工程(A))。これを加熱し、ワニス内の溶媒を除去することによって、接着層 13 を得る(工程(B))。

【0020】次に、雰囲気温度を上げて接着層 13 を加熱してこれを熔融し、この上に半導体ウェハ 1 を乗せる。常温で接着層 13 を冷却してストレス遮断板 12 上に半導体ウェハ 1 を接着する(工程(C))。その後、ストレス遮断板 12 を半導体ウェハ 1 と略同じ大きさに切り取る。次に、基材テープ 10 上に紫外線硬化性粘着材 1 \*

ダイシング条件：

使用したダイサー	AWD-4000B(東京精密製)
ダイシングモード	Aモード(ダウンカット)
ダイシングスピード	100 mm/min
ブレードの厚さ	75 $\mu\text{m}$
フルカット	ダイシングテープに 20 $\mu\text{m}$ の切り込み

【0025】この結果より、ストレス遮断板を有機材料とした場合には、半導体ウェハとストレス遮断板とを一度に切断できることが確認された。

【0026】次に、ストレス遮断板が銅やアルミニウム等の金属材料である場合について検討した。ここで、ダイシングにおける切断のメカニズムを考慮すると、半導体ウェハを構成するシリコン等の脆い材料を切断する場合と、金属等の粘りのある材料を切断する場合とは、異なるメカニズムにより切断が行われることが分かっている。すなわち、シリコン等の脆い材料をダイシングする場合には、ダイシングブレードの砥粒が被切断体にぶつかることにより、微少なクラックを発生させながら切り進むのに対し、金属等の粘りのある材料では、被切断体を切削しながら切り進む。そのため、シリコンウェハを切断する場合と、金属板を切断する場合では、それぞ

\* 1 を塗布したダイシングテープを用意し、上記半導体ウェハ 1 を接着したストレス遮断板 12 をこの粘着材 11 上に接着する(工程(D))。

【0021】ダイシングブレード 20 を用いて、ダイシングテープ 5 上の半導体ウェハ及びストレス遮断板 12 を、個々の半導体チップ 15 の単位にダイシングする(工程(E))。その後、ダイシングテープ 5 に向けて紫外線を照射し、粘着材 11 を硬化させることによって、粘着材 11 とストレス遮断板 12 との界面における剥離が容易となるようにする(工程(F))。最後に、個々の半導体チップ 15 をコレット 21 を用いてピックアップし、半導体装置の基板上へ供給する(工程(G))。

【0022】出願人は、上記工程(E)において、半導体ウェハ 1 とストレス遮断板 12 がダイシングブレード 20 を用いて一度に切断できるかどうかについて調査を行った。ストレス遮断板 12 が、有機材料である場合と金属材料である場合の 2 つの場合を考慮した。

【0023】最初に、有機材料からなるストレス遮断板を用いて実験を行った。280  $\mu\text{m}$  のシリコンウェハに、50  $\mu\text{m}$  の PET (ポリエチレンテレフタレート) 又は PEN (ポリエチレンナフタレート) からなるストレス遮断板を、15  $\mu\text{m}$  の熱可塑性ポリイミドからなる接着層を介して接着したものを用意した。結果は、PET、PEN いずれにおいても、チップングやバリ等は発生せず、良好な状態で切断が可能であった。以下に、このときのダイシング条件を示す。

【0024】

【表 1】

れに最適のダイシングブレードの構成要素、すなわち砥粒径、集中度(ダイシングブレードの体積に占める砥粒の割合)、厚さ等が異なることが考察される。

【0027】従って、上記半導体ウェハと金属材料によるストレス遮断板を切断するために、デュアルダイサーを用いるのが好適である。デュアルダイサーは、2本のスピンドルを備えており、各スピンドルに異種のブレードを取り付け、これらのブレードで同時に加工を行うことが可能である。図 4 は、デュアルダイサーを用いて半導体ウェハ及びストレス遮断板を切断する工程を示している。最初に、シリコン切断用の第一のブレード 22 によって半導体ウェハ 1 を切断し(同図(A))、これに連続して金属切断用の第二のブレード 23 によってストレス遮断板 12 を切断する(同図(B))。

【0028】出願人は更に、図 3 の工程(G)において、

7

コレット 21 により半導体チップ 15 をピックアップする際に、ストレス遮断板 12 とダイシングテープ 5 の粘着材 11 との界面で良好に剥離が行われるかどうかについても試験を行った。

【0029】半導体チップ 15 とダイシングテープ 5 との間には、考慮すべき 3 つの剥離界面がある。すなわち、熱可塑性ポリイミド 13 と半導体チップ 15 との界面、ストレス遮断板 12 と熱可塑性ポリイミド 13 との界面、及び紫外線硬化性粘着材 11 とストレス遮断板 12 との界面である。半導体チップのピックアップ時に剥離する界面は、これら各界面の相対的な剥離強度によって決まる。従って、各界面の剥離強度をそれぞれ、 $F_1$ 、 $F_2$ 、 $F_3$  とすれば、紫外線硬化性粘着材 11 とストレス遮断板 12 との界面が良好に剥離するためには、 $F_1 > F_3$ 、且つ  $F_2 > F_3$  の条件を満たす必要がある。

【0030】本実施形態において、上記条件が満たされることを検証するため、JIS Z 0237(180° 剥離試験)を行った。図 5 はその試験装置を示している。被着体 24 上に熱可塑性ポリイミド及び紫外線硬化性粘着材からなる接着剤 25 を塗布し、その上にストレス遮断板からなる 25mm 幅の試料 26 を接着した。図中矢印方向に試料 26 を引っ張り、試料 26 と接着剤 25 との間の剥離強度を測定した。試料 26 として、ストレス遮断板として用いられる PET 及び銅について測定した。また、シリコンウェハと熱可塑性ポリイミドとの間の剥離強度  $F_1$  の測定については、シリコン基板上に熱可塑性ポリイミドからなる接着面を有するテープを熱圧着した後、該テープを上記と同様の方法で剥離することによって行った。以下に、これらの結果を示す。

【0031】

【表 2】

界面剥離強度(g/25mm)：

	PET	銅
F2	350	1,000 以上
F3	10~45	10~45
F1	1,000 以上	

【0032】ここで、紫外線硬化性粘着材は、所定時間紫外線を照射した後測定したものである。結果から明らかに、紫外線硬化性粘着材とストレス遮断板として用いられる PET 及び銅との間の剥離強度  $F_3$  は、何れの場合も他の界面の剥離強度  $F_1$  及び  $F_2$  に比して極めて小さかった。よって図 3 の工程(G)において、良好に半導体チップ 15 のピックアップが行われるものである。

【0033】次に、本発明の他の実施形態について説明する。図 6 及び図 7 は何れも半導体チップの供給と共に、ダイアタッチ材としての接着層を供給可能とする実施形態に関するものである。図 6 に示す例では、ダイシ

8

ングテープ 5 におけるテープ基材 10 上に設ける接着層として、上記紫外線硬化性粘着材に代えて、B ステージあるいは反応前のエポキシ系接着材 16 を用いている。本構成においても基本的に、半導体チップの製造工程は図 3 に示したものと同一である。しかし、上記エポキシ系接着材 16 を用いることにより、ストレス遮断板 12 とエポキシ系接着材 16 との界面における剥離強度よりも、テープ基材 10 とエポキシ系接着材 16 との界面における剥離強度を小さくする。これによって、図 3 の工程(G)において、半導体チップ 15 をピックアップした際にエポキシ系接着材 16 は、ストレス遮断板 12 側に接着されたまま、これと共に引き上げられる。こうして半導体チップ 15 と共に引き上げられたエポキシ系接着材 16 は、半導体チップ 15 を半導体装置の基板上に実装するためのダイアタッチ材として機能させることができる。半導体チップを基板上に仮接着し、上記半硬化のエポキシ系接着材 16 を加熱硬化させることによって、半導体チップを基板上に固定することが可能となる。

【0034】図 7 に示す例では、ストレス遮断板 12 とダイシングテープ 5 におけるテープ基材 10 上の粘着材 11 との間に、更に接着材としての熱可塑性ポリイミドの層 17 と、耐熱性キャリアフィルムの層 18 が備えられている。耐熱性キャリアフィルム 18 は、例えばポリエチレンナフタレート、ポリイミド、ポリエーテルイミド、ポリアラミド、ポリエーテルケトン、ポリエーテル・エーテルケトン、ポリフェニレンサルファイド、ポリ(4-メチルペンテン-1)等の樹脂からなるフィルム材であり、その表面をアルキッド樹脂やアミノアルキッド樹脂等で易剥離処理することにより、熱可塑性ポリイミド 17 に対する剥離強度をコントロールすることができる。従って、半導体チップ 15 のピックアップ時に、熱可塑性ポリイミド 17 と耐熱性キャリアフィルム 18 との界面で、半導体チップが剥離される。ストレス遮断板 12 に付着して半導体チップ 15 と共に供給される熱可塑性ポリイミド 17 は、ダイアタッチ材として、半導体チップ 15 の上記基板上への実装に寄与する。半導体チップ 15 を基板上へ搭載した後、雰囲気温度を上げて熱可塑性ポリイミド 17 を熔融し、一定時間加圧及び常温冷却することによって、半導体チップを実装する。なお、本実施形態において、半導体ウェハ 1 とストレス遮断板 12 との間の接着層として B ステージあるいは反応前のエポキシ系接着材を用いることもできる。

【0035】図 8 ～図 10 は、本発明に係る製造方法により与えられる半導体チップを用いた半導体装置の一例を示すものである。半導体装置 30 は、下面に多数の半田パンプ 31 を備えた BGA 型のチップサイズパッケージである。エポキシ系樹脂フィルムからなる可撓性絶縁基板 32 上に、ダイアタッチ材 33 を介してストレス遮断板 12 を有する半導体チップ 15 が実装されている様子 40 が示されている。半導体チップ 15 は、ワイヤボンデ

ィングの後に、モールド樹脂34により密封される。

【0036】以上、本発明の実施形態について説明した。本発明の適用範囲が、上記実施形態において示した事項に限定されないことは明らかである。本発明は、ストレス遮断板を備えた半導体チップを効率的に供給するための方法を提供するものであり、その工程において用いられる各部材の材質によって、その適用範囲は限定されない。

【0037】

【発明の効果】以上の如く本発明によれば、半導体チップのサイズに適したストレス遮断板を、該半導体チップの供給と共に供給することができる。その結果、熱応力による実装歩留りの低下を防止する目的で半導体チップの下にストレス遮断板を備えた半導体装置を、少ない工数で製造することができる。

【0038】また本発明によって、半導体チップの供給時に、ダイアタッチ材を共に供給することができ、半導体装置の組み立てにおいて、ダイアタッチ材を供給する工程を削減することができる。

【図面の簡単な説明】

【図1】本発明において、ダイシング前の半導体ウェハがダイシングテープ上に置かれている状態を示す断面図である。

【図2】熱可塑性ポリイミドに代えて、エポキシ系接着材を用いた図1の対応図である。

【図3】本発明に係る半導体装置の製造方法を示す工程図である。

【図4】デュアルダイサーを用いて半導体ウェハ及びストレス遮断板を切断する工程を示す図である。

【図5】剥離強度を測定するための試験装置を示す図である。

【図6】ダイシングテープ上に設ける接着層としてエポキシ系接着材を用いた本発明の他の実施形態を示す図である。

10

\*【図7】ストレス遮断板とダイシングテープ上の粘着材との間に、接着材としての熱可塑性ポリイミドと耐熱性キャリアフィルムを備えた本発明の他の実施形態を示す図である。

【図8】本発明に係る製造方法により与えられる半導体チップを用いた半導体装置の一部を破断して示す斜視図である。

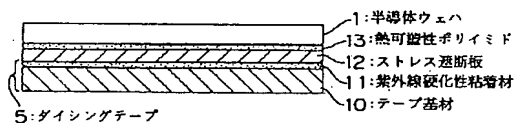
【図9】図8の半導体装置の断面図である。

【図10】図9の要部を拡大して示す図である。

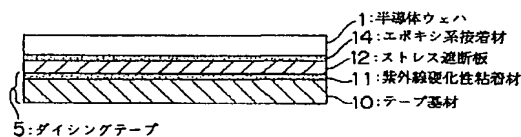
【符号の説明】

- 1 半導体ウェハ
- 5 ダイシングテープ
- 10 テープ基材
- 11 紫外線硬化性粘着材
- 12 ストレス遮断板
- 13 接着層
- 14 エポキシ系接着材
- 15 半導体チップ
- 16 エポキシ系接着材
- 20 熱可塑性ポリイミド
- 18 耐熱性キャリアフィルム
- 20 ダイシングブレード
- 21 コレット
- 22 第一のブレード
- 23 第二のブレード
- 24 被着体
- 25 接着剤
- 26 試料
- 30 半導体装置
- 31 半田バンプ
- 32 可撓性絶縁基板
- 33 ダイアタッチ材
- 34 モールド樹脂

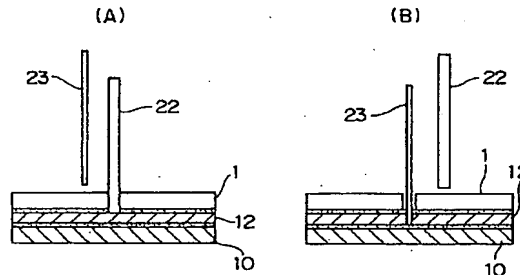
【図1】



【図2】

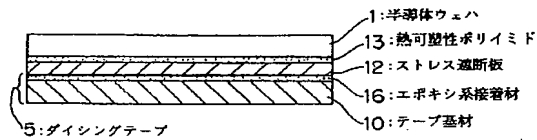


【圖 4】

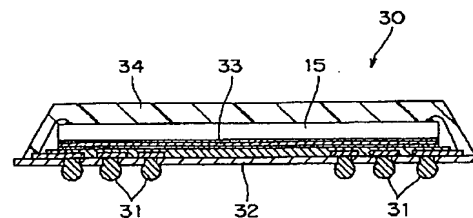


1: 半導体ウェハ  
13: 熱可塑性ポリイミド  
12: ストレス遮断板  
17: 熱可塑性ポリイミド  
18: 耐熱性キャリアフィルム  
11: 粘着材  
10: テープ基材  
5: ダイシングテープ

【図6】



【図8】

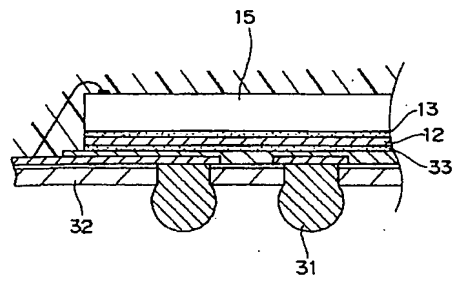




(8)

特開平11-67699

【図10】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067699

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 21/301

H01L 21/68

(21)Application number : 09-231794

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 13.08.1997

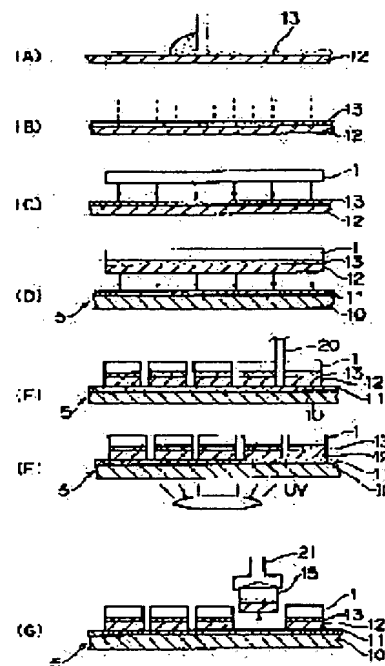
(72)Inventor : UMEHARA NORIHITO  
AMAMI MASAZUMI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To manufacture a semiconductor device provided with a stress blocking board under a semiconductor chip for preventing the deterioration of mounting yield, owing to thermal stress with less man-hour.

**SOLUTION:** A suitable method for manufacturing the semiconductor chip provided with the stress blocking board is provided. The method is provided with a process for preparing a dicing tape 5, having the stress blocking board 12 constituted of the material of high elasticity and an adhered face 11, a process for making the semiconductor wafer 1 adhere to the stress blocking board 12 through an adhered layer 13, a process for making the stress blocking board 12 adhere on the adhered face 11 of the dicing tape, a process for cutting the semiconductor wafer 1 with the stress blocking board 12 in the unit of the individual semiconductor chips and a process for peeling off the semiconductor chip 15 and the stress insulating board 12, which are cut, from the dicing tape 5. Since the stress blocking board 12 is cut with the semiconductor wafer 1, it is not necessary to cut and supply the stress blocking boards 12 later by adjusting them to the semiconductor chips of different sizes.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

## NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## CLAIMS

## [Claim(s)]

[Claim 1] The process which prepares the dicing tape which has the stress cutoff plate and adhesion side which consist of an ingredient of high elasticity. The process which pastes up a semiconductor wafer and the above-mentioned stress cutoff plate through a glue line. The process which pastes up the above-mentioned stress cutoff plate on the adhesion side of the above-mentioned dicing tape. The manufacture approach of the semiconductor device equipped with the process which cuts the above-mentioned semiconductor wafer in the unit of each semiconductor chip with the above-mentioned stress cutoff plate, and the process which exfoliates the above-mentioned semiconductor chip and stress cutoff plate which were cut from the above-mentioned dicing tape.

[Claim 2] The process which pastes up the above-mentioned semiconductor wafer and a stress cutoff plate is the manufacture approach of a semiconductor device including the process which forms a glue line on the above-mentioned stress cutoff plate, and the process which pastes up the above-mentioned semiconductor wafer on this glue line according to claim 1.

[Claim 3] The manufacture approach of a semiconductor device according to claim 1 or 2 that the above-mentioned stress cutoff plate is a metal plate.

[Claim 4] The manufacture approach of the semiconductor device according to claim 1 or 2 which is the plate with which the above-mentioned stress cutoff plate makes an organic material a subject.

[Claim 5] The manufacture approach of a semiconductor device including the process which irradiates ultraviolet rays to this adhesion side in front of the process which makes the adhesion side of the above-mentioned dicing tape the adhesion material of ultraviolet-rays hardenability, and exfoliates the above-mentioned semiconductor chip from the above-mentioned dicing tape according to claim 1, 2, 3, or 4.

[Claim 6] The manufacture approach of a semiconductor device according to claim 1, 2, 3, 4, or 5 that the glue line of the above-mentioned semiconductor wafer consists of thermoplastic polyimide resin.

[Claim 7] The manufacture approach of a semiconductor device according to claim 1, 2, 3, 4, or 5 that the glue line of the above-mentioned semiconductor wafer consists of epoxy system resin of half-reactivity.

[Claim 8] The manufacture approach of the semiconductor device according to claim 1, 2, 3, 4, 5, 6, or 7 makes the adhesion side of the above-mentioned dicing tape the glue line which consists of epoxy system resin of half-reactivity, and it was made to exfoliate from the above-mentioned dicing tape with the above-mentioned semiconductor chip.

[Claim 9] The process which prepares the dicing tape which has the stress cutoff plate, the heat-resistant carrier film, and adhesion side which consist of an ingredient of high elasticity. The process which pastes up a semiconductor wafer and the above-mentioned stress cutoff plate through the first glue line. The process which pastes up the above-mentioned stress cutoff plate and a carrier film through the second glue line, the process which pastes up the above-mentioned heat-resistant carrier film on the adhesion side of the above-mentioned dicing tape, and the above-mentioned semiconductor wafer with the above-mentioned stress cutoff plate

The manufacture approach of the semiconductor device equipped with the process cut in the unit of each semiconductor chip, and the process which exfoliates the above-mentioned semiconductor chip from the above-mentioned carrier film with the glue line adhering to the above-mentioned stress cutoff plate.

[Claim 10] The manufacture approach of a semiconductor device according to claim 9 that the above-mentioned carrier film consists of heat resistant resin, and the above-mentioned first and the second glue line consist of thermoplastic polyimide resin.

[Translation done.]

## NOTICES

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. www shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] About the manufacture approach of a BGA type semiconductor device, especially this invention relates to the approach for supplying the semiconductor chip equipped with the stress cutoff plate, in order to ease the effect on the semiconductor device by thermal stress.

[0002]

[Description of the Prior Art] BGA (Ball Grid Array) is a semiconductor device which has the package structure of the surface mount mold which comes to arrange two or more spherical solder called the solder bump as an external connection terminal to the whole surface side of a package two-dimensional. Since a connection terminal can be arranged two-dimensional, it is known as a package suitable for high density assembly. When realizing CSP which is capturing the spotlight especially in recent years (Chip Size Package), i.e., the semiconductor device which carried out densification of the package size to extent equivalent to a chip size, or slightly large, BGA has very important positioning.

[0003] There is some CSP which stations a solder bump two-dimensional and constitutes BGA in this whole surface side using the flexible insulating substrate which consists of polyimide resin etc. as a substrate of a package. In the semiconductor device of a CSP mold, through the glue line called diamond touch material, such as a non-conductive epoxy resin, it is fixed on a flexible insulating substrate, and after giving required wiring, the resin seal of the semiconductor chip is carried out. The loading-on external substrate (printed-circuit board) back is fused by the mounter, it fuses a solder bump by the package reflow, and a such BGA type semiconductor device is mounted.

[0004] In mounting of a semiconductor device, it is very important to raise mounting dependability. Especially, it is pointed out that the mounting dependability of a BGA package is generally low compared with the conventional QFP (Quad Flat Package). In the heat cycle test to the semiconductor device of the above-mentioned CSP mold, a crack may occur in the joint of an external substrate and a solder bump, especially the joint of the solder bump located near just under the outmost periphery or a chip periphery, and opening may become poor. A main cause is for shearing stress's occurring from the difference of the coefficient of linear expansion of a semiconductor chip, and that of an external substrate, and concentrating on the above-mentioned joint. That is, the modulus of elasticity of the diamond touch material between a semiconductor chip and an external substrate and a flexible insulating substrate is very low as compared with it of a semiconductor chip and an external substrate, consequently the shearing stress resulting from the difference of the above-mentioned coefficient of linear expansion is concentrated on the soldered joint section.

[0005]

[Problem(s) to be Solved by the Invention] These people showed how to solve the above-mentioned conventional trouble on June 25, Heisei 9 in the patent application (Japanese Patent Application No. No. 184433 [nine to ] of application. The pars intermedia material (on these specifications, this is called stress cutoff plate below) which is by carrying out between a

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran\_web.cgi\_ejje

2006/07/03

semiconductor chip and a flexible insulating substrate in this application as for coefficient of linear expansion of an external substrate, abbreviation, etc. in which a semiconductor device is mounted, and has coefficient of linear expansion is arranged, and the technique of preventing the crack of the soldered joint section resulting from the difference of the coefficient of linear expansion between the above-mentioned semiconductor chip and an external substrate is indicated.

[0006] However, the number of production processes of a semiconductor device increases clearly by forming the above-mentioned stress cutoff plate. That is, the following processes are needed. A stress cutoff plate is cut down according to a chip size, this is pasted up on a flexible insulating substrate by diamond touch material, and a cure is performed. Subsequently, after supplying diamond touch material and mounting a semiconductor chip on a stress cutoff plate, a cure is performed again.

[0007] The purpose of this invention is supplying the above-mentioned stress cutoff plate with supply of a semiconductor chip, and lessening the production process of the semiconductor device of the above-mentioned type as much as possible.

[0008] Both another purposes of this invention are supplying diamond touch material in the case of supply of a semiconductor chip, and lessening the production process of a semiconductor device.

[0009]

[Means for Solving the Problem] This invention offers the suitable approach for manufacturing the semiconductor chip equipped with the stress cutoff plate. The process which prepares the dicing tape which has the stress cutoff plate and adhesion side where the manufacture approach of this invention consists of an ingredient of high elasticity. The process which pastes up a semi-conductor wafer and the above-mentioned stress cutoff plate through a glue line. The process which pastes up the above-mentioned stress cutoff plate on the adhesion side of the above-mentioned dicing tape. It has the process which exfoliates the process which cuts the above-mentioned semi-conductor wafer in the unit of each semiconductor chip with the above-mentioned stress cutoff plate, the cut above-mentioned semiconductor chip, and a stress cutoff plate from the above-mentioned dicing tape. The semiconductor chip with a stress cutoff plate manufactured through the above-mentioned process is handed over like the rector of a semiconductor device, and is mounted on a flexible insulating substrate through diamond touch material.

[0010] Since a stress cutoff plate is cut down with a semi-conductor wafer, it becomes unnecessary to cut down and supply a stress cutoff plate afterwards in accordance with the semiconductor chip with which sizes differ. Moreover, the process of pasting up a semiconductor chip and a stress cutoff plate according to an individual also becomes unnecessary.

[0011] Here, as a procedure of pasting up the above-mentioned semi-conductor wafer and a stress cutoff plate, a glue line can be formed on a stress cutoff plate, and, subsequently to this glue line top, the approach of pasting up the above-mentioned semi-conductor wafer can be taken.

[0012] Moreover, in order to make easy exfoliation of the semiconductor chip from a dicing tape, it is desirable to include the process which irradiates ultraviolet rays to this adhesion side in front of the process which makes the adhesion side of the above-mentioned dicing tape the adhesion material of ultraviolet-rays hardenability, and exfoliates the above-mentioned semiconductor chip from the above-mentioned dicing tape.

[0013] Moreover, both this inventions include the approach of supplying the glue line as diamond touch material with the above-mentioned semiconductor chip. This approach is realized by making a heat-resistant carrier film intervene between a stress cutoff plate and a dicing tape. Namely, the process which prepares the dicing tape which has the stress cutoff plate, the heat-resistant carrier film, and adhesion side which consist of an ingredient of high elasticity. The process which pastes up a semi-conductor wafer and the above-mentioned stress cutoff plate through the first glue line. The process which pastes up the above-mentioned stress cutoff plate and a carrier film through the second glue line, the process which pastes up the above-mentioned heat-resistant carrier film on the adhesion side of the above-mentioned dicing tape.

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran\_web.cgi\_ejje

2006/07/03

and the above-mentioned semi-conductor wafer with the above-mentioned stress cutoff plate. The process which exfoliates from the above-mentioned carrier film with the process cut in the unit of each semiconductor chip and the glue line which adhered the above-mentioned semiconductor chip to the above-mentioned stress cutoff plate is included.

[0014]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained along with a drawing. Drawing 1 is the sectional view showing the condition that the semi-conductor wafer in front of dicing is placed on the dicing tape. In drawing, the dicing tape 5 and each class on this differ from the dressed-size ratio, and should care about that these exaggerate and are shown.

[0015] The dicing tape 5 consists of a base material film 10 and ultraviolet-rays hardenability adhesion material 11, as shown in drawing 1. The base material film 10 consists of an elastic resin film of about 10-300 micrometers of thickness, and these layered products, such as a polyethylene film, a polybutylene terephthalate film, a polyethylenephthalate film, a polypropylene film, a polyvinyl chloride film, a polybutene film, a polybutadiene film, a polyurethane film, the poly methyl pentene film, an ethylene-vinylacetate copolymer film, an ethylene-(meta) acrylic-acid copolymer film, and an ethylene-(meta) ethyl-acrylate copolymer film, are used.

[0016] The ultraviolet-rays hardenability adhesion material 11 currently formed in the front face of this base material film 10 is hardened by irradiating predetermined time ultraviolet rays, and loses that adhesiveness. Specifically, a polyacrylic ester copolymer and the mixture of urethane acrylate oligomer (UV hardening resin) can be used. The thickness of the adhesion material 11 formed on the base material film 10 is about 10-50 micrometers.

[0017] The stress cutoff plate 12 pastes up on the ultraviolet-rays hardenability adhesion material 11 of the above-mentioned dicing tape 5. The stress cutoff plate 12 consists of an ingredient of the high elasticity which is in coefficient of linear expansion of an external substrate, abbreviation, etc. in which a semiconductor device is mounted by carrying out, and has coefficient of linear expansion. Specifically, organic materials and those layered products, such as metals and those alloys, such as gold, copper, silver, aluminum, nickel, and iron, those layered products or FR-4, FR-5, polyimide, polysulfone, a phenol, polyether sulphone, a polyphenylene sulfide, and polyethylenephthalate, are used. The thickness of the stress cutoff plate 12 is about 50-100 micrometers.

[0018] The semi-conductor wafer 1 is pasted up on the above-mentioned stress cutoff plate 12 through a glue line 13. Thermoplastic polyimide resin is used as a glue line 13. Thermoplastic polyimide resin is fused by heating and demonstrates the effectiveness as adhesives. But as shown in drawing 2, it can replace with thermoplastic polyimide and a semi-hardening object (the so-called B stage) or the epoxy system binder 14 before a reaction can be used. In this case, it pastes up by carrying out temporary adhesion of the semi-conductor wafer 1, and carrying out heat hardening in the state of semi-hardening.

[0019] A process until it cuts and takes up the semiconductor device supplied to drawing 3 in the state of the manufacture approach of the semiconductor device concerning this invention, i.e., a wafer, to each semiconductor chip is shown. The first process is forming the glue line 13 of thermoplastic polyimide on the stress cutoff plate 12. That is, it applies to the front face of the stress cutoff plate 12 to which the thermoplastic polyimide varnish was supplied by a coating machine or screen-stencil by the shape of a sheet (process (A)). A glue line 13 is obtained by heating this and removing the solvent in a varnish (process (B)).

[0020] Next, ambient temperature is raised, a glue line 13 is heated, this is fused, and the semi-conductor wafer 1 is put on this. A glue line 13 is cooled in ordinary temperature, and the semi-conductor wafer 1 is pasted up on the stress cutoff plate 12 (process (C)). then, the stress cutoff plate 12 — the semi-conductor wafer 1 and abbreviation — it cuts off in the same magnitude. Next, the dicing tape which applied the ultraviolet-rays hardenability adhesion material 11 on the base material tape 10 is prepared, and the stress cutoff plate 12 on which the above-mentioned semi-conductor wafer 1 was pasted up is pasted up on this adhesion material 11 (process (D)).

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran\_web.cgi\_ejje

2006/07/03

[0021] The dicing of the semi-conductor wafer and the stress cutoff plate 12 on the dicing tape 5 is carried out to the unit of each semiconductor chip 15 using the dicing blade 20 (process (E)). Then, ultraviolet rays are irradiated towards the dicing tape 5, and it is made for the exfoliation in the interface of the adhesion material 11 and the stress cutoff plate 12 to become easy by stiffening the adhesion material 11 (process (F)). Finally, a collet 21 is used, each semiconductor chip 15 is taken up, and up to the substrate of a semiconductor device is supplied (process (G)).

[0022] The applicant investigated in the above-mentioned process (E) about the ability of the semi-conductor wafer 1 and the stress cutoff plate 12 to cut at once using the dicing blade 20. Two cases in case the stress cutoff plates 12 are the case where it is an organic material, and a metallic material were taken into consideration.

[0023] It experimented on the beginning using the stress cutoff plate which consists of an organic material. What pasted up the stress cutoff plate which consists of a 50-micrometer PET (polyethylene terephthalate) or PEN (polyethylenephthalate) on the 280-micrometer silicon wafer through the glue line which consists of 15-micrometer thermoplastic polyimide was prepared, a result — PET and PEN — also in any, it did not generate but a chipping, weld flash, etc. were able to be cut in the good condition. Below, the dicing conditions at this time are shown.

[0024]

[Table 1]

ダイシング条件:

使用したダイサー	AWD-4000B (東京精密製)
ダイシングモード	Aモード(ダウングリップ)
ダイシングスピード	1.00 mm/min
ブレードの厚さ	7.5 μm
フルカット	ダイシングテープに2.0 μmの切り込み

[0025] From this result, when a stress cutoff plate was used as an organic material, it was checked that a semi-conductor wafer and a stress cutoff plate can be cut at once.

[0026] Next, the case where stress cutoff plates were metallic materials, such as copper and aluminum, was examined. If the mechanism of cutting in dicing is taken into consideration here, it turns out that cutting is performed according to a different mechanism by the case where weak ingredients, such as silicon which constitutes a semi-conductor wafer, are cut, and the case where sticky ingredients, such as a metal, are cut. That is, in carrying out the dicing of the weak ingredients, such as silicon, when the abrasive grain of a dicing blade collides with the cut body, to cutting and progressing, generating a very small crack, cutting the cut body, with a sticky ingredient, it cuts and a metal etc. advances. Therefore, in the case where a silicon wafer is cut, and the case where a metal plate is cut, it is considered that the component of an abrasive grain of the optimal dicing blade for each, i.e., a diameter, and degree of concentration (the abrasive grain occupied for the volume of a dicing blade comparatively) differ from thickness etc.

[0027] Therefore, in order to cut the stress cutoff plate by the above-mentioned semi-conductor wafer and the metallic material, it is suitable to use a dual dicer. It is possible for the dual dicer to be equipped with two spindles, to attach a blade of a different kind in each spindle, and to process it into coincidence with these blades. Drawing 4 shows the process which cuts a semi-conductor wafer and a stress cutoff plate using a dual dicer. First, the first blade 22 for silicon cutting cuts the semi-conductor wafer 1 (this drawing (A)), and the second blade 23 for metal cutting cuts the stress cutoff plate 12 succeeding this (this drawing (B)).

[0028] Further, when an applicant took up a semiconductor chip 15 by the collet 21 in the process (G) of drawing 3, he examined also about whether exfoliation is performed good by the interface of the stress cutoff plate 12 and the adhesion material 11 of the dicing tape 5.

[0029] There are three exfoliation interfaces which should be taken into consideration between a semiconductor chip 15 and the dicing tape 5. That is, they are the interface of thermoplastic polyimide 13 and a semiconductor chip 15, the interface of the stress cutoff plate 12 and

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran\_web.cgi\_ejje

2006/07/03

thermoplastic polyimide 13, and the interface of the ultraviolet-rays hardenability adhesion material 11 and the stress cutoff plate 12. The interface which exfoliates at the time of pickup of a semiconductor chip is decided by relative peel strength of these field side. Therefore, in order for the interface of F1, F2, F3, then the ultraviolet-rays hardenability adhesion material 11 and the stress cutoff plate 12 to exfoliate the peel strength of a field side good, respectively, it is necessary to fulfill the conditions of  $F1 > F3$  and  $F2 > F3$ .

[0030] In this operation gestalt, in order to verify that the above-mentioned conditions are fulfilled, JIS Z 0237 (180-degree friction test) was performed. Drawing 5 shows the testing device. The adhesives 25 which consist of thermoplastic polyimide and ultraviolet-rays hardenability adhesion material were applied on adherend 24, and the sample 26 of 25mm width of face which consists of a stress cutoff plate on it was pasted up. The sample 26 was pulled in the drawing Nakaya mark direction, and the peel strength between a sample 26 and adhesives 25 was measured. As a sample 26, it measured about PET and copper which are used as a stress cutoff plate. Moreover, about measurement of the peel strength F1 between a silicon wafer and thermoplastic polyimide, after carrying out thermocompression bonding of the tape which has the adhesion side which consists of thermoplastic polyimide on a silicon substrate, this tape was performed by exfoliating by the same approach as the above. Below, these results are shown.

[0031]

[Table 2]

粘着強度 (g/25mm):

	PET	銅
F2	350	1,000以上
F3	10~45	10~45
F1	1,000以上	

[0032] Here, ultraviolet-rays hardenability adhesion material is measured after irradiating predetermined time ultraviolet rays. In any case, the peel strength F3 between PETs and copper which are used as ultraviolet-rays hardenability adhesion material and a stress cutoff plate was very small as compared with the peel strength F1 and F2 of other interfaces so that clearly from a result. Therefore, in the process (G) of drawing 3, pickup of a semiconductor chip 15 is performed good.

[0033] Next, other operation gestalten of this invention are explained. With supply of a semiconductor chip, each of drawing 8 and drawing 7 is related with the operation gestalt whose supply of the glue line as diamond touch material is enabled. In the example shown in drawing 6, as a glue line prepared on the tape base material 10 in the dicing tape 5, it replaces with the above-mentioned ultraviolet-rays hardenability adhesion material, and B stage or the epoxy system binder 16 before a reaction is used. Also in this configuration, the production process of a semiconductor chip is the same as what was shown in drawing 3 fundamentally. However, peel strength in the interface of the tape base material 10 and the epoxy system binder 16 is made smaller than the peel strength in the interface of the stress cutoff plate 12 and the epoxy system binder 16 by using the above-mentioned epoxy system binder 16. When a semiconductor chip 15 is taken up in the process (G) of drawing 3 by this, the epoxy system binder 16 can be pulled up with this, pasting the stress cutoff plate 12 side. In this way, the epoxy system binder 16 which was able to be pulled up with the semiconductor chip 15 can be operated as diamond touch material for mounting a semiconductor chip 15 on the substrate of a semiconductor device. It becomes possible by carrying out temporary adhesion of the semiconductor chip on a substrate, and carrying out heat hardening of the epoxy system binder 16 of the above-mentioned semi-hardening to fix a semiconductor chip on a substrate.

[0034] In the example shown in drawing 7, it has the layer 17 of the thermoplastic polyimide as a binder, and the layer 18 of a heat-resistant carrier film further between the stress cutoff plate 12 and the adhesion material 11 on the tape base material 10 in the dicing tape 5. The heat-resistant carrier film 18 is film material which consists of resin, such as polyethylenephthalate, polyimide, polyether imide, polyaramide, a polyether ketone, a polyether ether ketone,

polyphenylene sulfide, and Pori (4-methyl pentene -1), and can control the peel strength to thermoplastic polyimide 17 by carrying out peelable processing of the front face with an alkyd resin, an amino alkyd resin, etc. Therefore, a semiconductor chip exfoliates in the interface of thermoplastic polyimide 17 and the heat-resistant carrier film 18 at the time of pickup of a semiconductor chip 15. The thermoplastic polyimide 17 which adheres to the stress cutoff plate 12 and is supplied with a semiconductor chip 15 is contributed to mounting of a up to [ the above-mentioned substrate of a semiconductor chip 15 ] as diamond touch material. After carrying a semiconductor chip 15 to up to a substrate, ambient temperature is raised, thermoplastic polyimide 17 is fused, and a semiconductor chip is mounted by fixed-time-amount-pressurizing and ordinary temperature cooling. In addition, in this operation gestalt, B stage or the epoxy system binder before a reaction can also be used as a glue line between the semiconductor wafer 1 and the stress cutoff plate 12.

[0035] Drawing 8 - drawing 10 show an example of the semiconductor device using the semiconductor chip given by the manufacture approach concerning this invention. A semiconductor device 30 is the chip-size package of the BGA mold which equipped the inferior surface of tongue with many solder bumps 31. Signs that the semiconductor chip 15 which has the stress cutoff plate 12 through the diamond touch material 33 on the flexible insulating substrate 32 which consists of an epoxy system resin film is mounted are shown. A semiconductor chip 15 is sealed with mold resin 34 after wirebonding.

[0036] In the above, the operation gestalt of this invention was explained. It is clear that the applicability of this invention is not limited to the matter shown in the above-mentioned operation gestalt. This invention offers the approach for supplying efficiently the semiconductor chip equipped with the stress cutoff plate, and the applicability is not limited by the quality of the material of each part material used in the process.

[0037]

[Effect of the Invention] According to this invention, the stress cutoff plate suitable for the size of a semiconductor chip can be supplied with supply of this semiconductor chip like the above. Consequently, the semiconductor device which equipped the bottom of a semiconductor chip with the stress cutoff plate in order to prevent the fall of the mounting yield by thermal stress can be manufactured by the small man day.

[0038] Moreover, by this invention, both diamond touch material can be supplied at the time of supply of a semiconductor chip, and the processes which supply diamond touch material can be reduced in the assembly of a semiconductor device.

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

## **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**